

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-143982

⑮ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)6月1日

G 11 C 11/401

8522-5B

G 11 C 11/34

3 6 2 B

審査請求 未請求 請求項の数 7 (全18頁)

⑭ 発明の名称 ダイナミック型半導体記憶装置

⑯ 特 願 昭63-296821

⑰ 出 願 昭63(1988)11月24日

⑱ 発 明 者 渡 辺 重 佳 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 発 明 者 大 脇 幸 人 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑳ 発 明 者 土 田 賢 二 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

㉑ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉒ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

ダイナミック型半導体記憶装置

2. 特許請求の範囲

(1) ダイナミック型メモリセルがマトリクス配列され、かつカラム方向に複数のサブセルアレイに分割されたメモリアレイと、

複数のサブセルアレイがカラム方向に複数のグループに分けられ、各グループのサブセルアレイにそれぞれ配設される複数のビット線対がそれぞれトランスファゲートを介して接続される、グループ毎に1対ずつ配設された複数の中間ビット線対と、

これら中間ビット線対にそれぞれ設けられた第1導電チャネルMOSトランジスタからなる複数の第1ビット線センスアンプと、

前記カラム方向の複数の中間ビット線対がそれぞれトランスファゲートを介して接続される、カラム毎に1対ずつ配設された複数の上位ビット線対と、

各上位ビット線対に設けられた第2ビット線センスアンプと、

を有することを特徴とするダイナミック型半導体記憶装置。

(2) ダイナミック型メモリセルがマトリクス配列され、かつカラム方向に複数のサブセルアレイに分割されたメモリアレイと、

カラム方向の互いに隣接する二つのサブセルアレイのそれぞれに配設された2つのビット線対で共用すべくカラム方向に複数個設けられた第1導電チャネルMOSトランジスタからなる複数の第1ビット線センスアンプと、

前記カラム方向の複数のビット線対がそれぞれトランスファゲートを介して接続される、カラム毎に1対ずつ配設された複数の上位ビット線対と、

各上位ビット線対に設けられた第2ビット線センスアンプと、

を有することを特徴とするダイナミック型半導体記憶装置。

(3) ダイナミック型メモリセルがマトリクス

特開平2-143982(2)

配列され、かつカラム方向に複数のサブセルアレイに分割されたメモリアレイと、

カラム方向の複数のサブセルアレイにそれぞれ配設された複数のビット線対にそれぞれ設けられた第1導電チャネルMOSトランジスタからなる複数の第1ビット線センスアンプと、

前記カラム方向の複数のビット線対がそれぞれトランスファゲートを介して接続される、カラム毎に1対ずつ配設される複数の上位ビット線対と、

各上位ビット線対に設けられた第2ビット線センスアンプと、

を有することを特徴とするダイナミック型半導体記憶装置。

(4) ダイナミック型メモリセルがマトリクス配列され、かつカラム方向に複数のサブセルアレイに分割されたメモリアレイと、

カラム方向の複数のサブセルアレイにそれぞれ配設された複数のビット線対にそれぞれ設けられた第1導電チャネルMOSトランジスタからなる複数の第1ビット線センスアンプと、

(7) 第1ビット線センスアンプはnチャネルMOSトランジスタを用いたフリップフロップ型センスアンプであり、第2ビット線センスアンプはpチャネルMOSトランジスタを用いたフリップフロップ型センスアンプとnチャネルMOSトランジスタを用いたフリップフロップ型センスアンプの組合わせである請求項1、2、3または4のいずれかに記載のダイナミック型半導体記憶装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、ダイナミック型メモリセルを集積した半導体記憶装置(DRAM)に係り、特に多重化ビット線構造の高集積化DRAMに関する。

(従来の技術)

MOS型半導体記憶装置のうちDRAMは、メモリセルへの3次元化構造の導入と微細加工技術により、最も高集積化が進んでいる。現在、最小加工寸法が0.5 μ m程度の16Mビット

カラム毎に1対ずつ、かつ隣接する配線を異なる層で構成して配設された、前記カラム方向の複数のビット線対がそれぞれトランスファゲートを介して接続される複数の上位ビット線対と、

各上位ビット線対に設けられた第2ビット線センスアンプと、

を有することを特徴とするダイナミック型半導体記憶装置。

(5) 一つの上位ビット線対は同一層の互いに隣接する配線を組として構成され、隣接する上位ビット線対の間が半ピッチずれた状態で配設されている請求項4記載のダイナミック型半導体記憶装置。

(6) 第1ビット線センスアンプはnチャネルMOSトランジスタを用いたフリップフロップ型センスアンプであり、第2ビット線センスアンプはpチャネルMOSトランジスタを用いたフリップフロップ型センスアンプである請求項1、2、3または4のいずれかに記載のダイナミック型半導体記憶装置。

DRAMの試作が各社で行われている。

このようなDRAMの高集積化に伴い、必然的にチップサイズは大きくなる傾向にある。従って1ウェハ当りのチップ収率を考えると、如何に小さいチップを作るかということも大きい課題となる。つまり、チップ・レイアウトを最適化し、セル占有率(チップ面積に占める全メモリセル面積の割合)を大きくすることが量産時においては重要な意味を持つ。このような観点から、コア回路の方式として現在までに多重化ビット線方式が提案されている。これは、通常のDRAMではビット線対がカラム・デコードの出力線であるカラム選択信号線により選ばれて直接入出力線とデータのやりとりを行うのに対し、ビット線対をカラム方向に複数の分割してこれらと入出力線の間にデータ中継用の上位ビット線対を配設するものである。

第13図は、従来提案されている典型的な多重化ビット線方式のDRAMのコア回路構成を1カラムについて示したものである。メモリアレイは、カラム方向に複数のサブセルアレイ1

特開平2-143982 (3)

($1_1 \sim 1_n$) に分割されている。各サブセルアレイ 1 毎にビット線対 $B L$, $\overline{B L}$ ($B L_1$, $\overline{B L}_1 \sim B L_n$, $\overline{B L}_n$) が配設され、これらのビット線対 $B L$, $\overline{B L}$ にそれぞれメモリセル・データを増幅する n チャンネル MOS トランジスタからなるフリップフロップ型センスアンプ (以下、NMOS センスアンプと称する) 2 ($2_1 \sim 2_n$) と p チャンネル MOS トランジスタからなるフリップフロップ型センスアンプ (以下、PMOS センスアンプと称する) 3 ($3_1 \sim 3_n$) が設けられている。NMOS センスアンプ 2 は、低レベル側の増幅を行ない、PMOS センスアンプ 3 は高レベル側の増幅を行う。カラム方向の複数のビット線対 $B L$, $\overline{B L}$ に対して 1 対の上位ビット線対 $G B L$, $\overline{G B L}$ が配設されている。ビット線対 $B L$, $\overline{B L}$ はそれぞれ、サブセルアレイ選択信号線 $S_1 \sim S_n$ により制御されるトランスファゲート MOS トランジスタ Q_1 , Q_2 , ..., Q_3 , Q_4 を介して上位ビット線対 $G B L$, $\overline{G B L}$ に接続される。上位ビット線対 $G B L$, $\overline{G B L}$ には、

インアンプ 4 が設けられている。上位ビット線対 $G B L$, $\overline{G B L}$ はカラム選択信号線 $C S L$ により駆動されるトランスファゲート MOS トランジスタ Q_5 , Q_6 を介して入出力線 I/O , $\overline{I/O}$ とデータのやりとりを行うようになっている。

第 14 図は、この様な多重化ビット線構造の DRAM コア回路での読出し動作を示すタイミング図である。外部からのロウ・アドレス・ストローブ信号 $R A S$ が "H" レベルから "L" レベルに変化して DRAM チップはアクティブ状態に入る。その後一本のワード線 $W L$ が選択され、例えばサブセルアレイ 1_1 内の "1" のメモリセルが選択されたとする。このメモリセルのデータは一方のビット線 $B L_1$ に転送され、同時に選択されたダミーセルのデータはもう一方のビット線 $\overline{B L}_1$ に転送される。その後 NMOS センスアンプ 2_1 および 3_1 が活性化され、読み出されたデータが増幅される。次にサブセルアレイ選択信号線 $S_1 \sim S_n$ のうち S_1 のみが選択されて "H" レベルとなり、ビット線対 $B L_1$, $\overline{B L}_1$ のデータ

は MOS トランジスタ Q_1 , Q_2 を介して上位ビット線対 $G B L$, $\overline{G B L}$ に転送される。上位ビット線対 $G B L$, $\overline{G B L}$ に転送されたデータはメインアンプ 4 で増幅され、カラム選択信号線 $C S L$ により選択される MOS トランジスタ Q_5 , Q_6 を介して入出力線 I/O , $\overline{I/O}$ に転送される。

以上の多重化ビット線方式の DRAM 設計に当たって留意しなければならないのは、第 1 に、ビット線容量 C_B をある値以下に設定しなければならないことである。メモリセルの容量を C_S とすると、センスアンプで増幅できる C_B / C_S の最大値が存在するからである。第 2 に、ビット線対 $B L$, $\overline{B L}$ と上位ビット線対 $G B L$, $\overline{G B L}$ を短絡するタイミングまでにビット線対 $B L$, $\overline{B L}$ 間の電位差を十分大きく増幅することである。以上の条件を満足する限りにおいて、他の回路形式も可能となる。

この多重化ビット線方式は、従来の方式と比較してカラム・デコードの数を少なくできるため、4 M ビット、16 M ビットなどの高密度 DRAM

の実現にとって有力候補と考えられる。しかし、64 M ビット以上と更に高密度化する場合には、メモリアレイの分割数の増加に伴い、各サブセルアレイ毎に設けられるビット線センスアンプの面積の占める割合が相対的に大きくなる。これは、チップ面積の無用な増大をもたらす、DRAM チップ面積の有効利用という観点から無視できない問題になる。

(発明が解決しようとする課題)

以上のようにメモリアレイを多数のサブセルアレイに分割するビット線多重化方式の高密度 DRAM では、ビット線センスアンプのチップ面積に占める割合が大きくなる、という問題があった。

本発明は、このような問題を解決したビット線多重化方式の DRAM を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明は、複数のサブセルアレイを有する多

特開平2-143982(4)

重化ビット線方式のDRAMにおいて、ビット線のデータを直接増幅するセンスアンプはNMOSセンスアンプまたはPMOSセンスアンプのいずれか一方のみとし、他方のセンスアンプは上位ビット線に設けるメインセンスアンプで共用するように構成する。

(作用)

本発明によれば、サブセルアレイの数が多くなる高密度DRAMのコア回路でのビット線センスアンプの面積占有率の増大を最小限に抑えることができる。これにより、高密度化に伴うDRAMチップサイズの増大を抑えることができる。

(実施例)

以下、本発明の実施例を説明する。

第1図は、一実施例のDRAMのコア回路構成を1カラムについて示す。この実施例では、ビット線対 BL , \overline{BL} と上位ビット線対 GBL , \overline{GBL} の間に更に中間ビット線対 $IGBL$, \overline{IGBL} を設けた超多重化構造としている。即ち、

NMOSセンスアンプ2(21~2 $\#$)を設けている。中間ビット線対 $IGBL$, \overline{IGBL} はそれぞれ選択信号 SS ($SS1 \sim SS\#$)により制御されるトランスファゲート用pチャネルMOSトランジスタ $Q_{21} \sim Q_{2\#}$ を介してカラムに一本設けられた上位ビット線対 GBL , \overline{GBL} に接続されている。上位ビット線対 GBL , \overline{GBL} に第2ビット線センスアンプ(メインアンプ)としてPMOSセンスアンプ3が設けられている。中間ビット線対 $IGBL$, \overline{IGBL} と上位ビット線対 GBL , \overline{GBL} の間のトランスファゲートとしてpチャネルMOSトランジスタを用いているのは、メインセンスアンプであるPMOSセンスアンプ3を用いてメモセルにデータの再書き込みを行う際に、上位ビット線対 GBL , \overline{GBL} の“H”レベル電位を電位降下なしに中間ビット線対 $IGBL$, \overline{IGBL} に伝えるためである。上位ビット線対 GBL , \overline{GBL} はカラム選択信号線 $C SL$ により制御されるトランスファゲートとしてのnチャ

メモリアレイはカラム方向に $N = m \times n$ 個に分割されて、サブセルアレイ1(111, ..., 11n, ..., 1 $\#$ 1, ..., 1 $\#$ n)が配列される。サブセルアレイ1はm個のグループに分けられて、各グループ毎にそれぞれ中間ビット線 $IGBL$, \overline{IGBL} ($IGBL1$, $\overline{IGBL1}$, ..., $IGBL\#$, $\overline{IGBL\#}$)が配設される。具体的には例えば、Nは従来の多重化ビット線方式でのサブセルアレイ数即ちビット線対数(n_0)より大きくし、 $n = N/m$ は n_0 より小さくする。サブセルアレイ毎に配設されたビット線対 BL , \overline{BL} ($BL11$, $\overline{BL11}$, ..., $BL1n$, $\overline{BL1n}$, $BL\#1$, $\overline{BL\#1}$, ..., $BL\#n$, $\overline{BL\#n}$)は、選択信号線 S ($S11$, ..., $S1\#$, ..., $S\#1$, ..., $S\#n$)により制御されるトランスファゲート用nチャネルMOSトランジスタ $Q_{11} \sim Q_{1\#}$ を介してそれぞれの属するグループの中間ビット線対 $IGBL$, \overline{IGBL} に接続されている。下位のビット線対 BL , \overline{BL} にはセンスアンプは設けず、各中間ビット線対 $IGBL$, \overline{IGBL} 毎に第1ビット線センスアンプとして

ネルMOSトランジスタ Q_{31} , Q_{32} を介して入出力線 I/O , $\overline{I/O}$ に接続されている。

以上の構成において、ビット線対 BL , \overline{BL} と中間ビット線対 $IGBL$, \overline{IGBL} にはことなる層の配線を用いる。好ましくは、中間ビット線対 $IGBL$, \overline{IGBL} にはビット線対 BL , \overline{BL} に比べて単位長さ当りの寄生容量が小さい配線を選択する。具体例を挙げれば、ビット線対 BL , \overline{BL} をポリサイド膜により形成し、中間ビット線対 $IGBL$, \overline{IGBL} は第2層 $A2$ 膜により形成する。これは、NMOSセンスアンプ2が中間ビット線対 $IGBL$, \overline{IGBL} に転送されたデータを増幅する際に、NMOSセンスアンプ2に接続される全ビット線容量値がセル容量との比で決まる限界容量値 C_{Bmax} を越えないようにするためである。具体的にビット線 BL の単位長さ当りの容量を C_{BL} , 中間ビット線 $IGBL$ の単位長さ当りの容量を C_{IGBL} とし、ビット線 BL の長さを x とすると、

特開平2-143982 (5)

ビット線容量 + 中間ビット線容量

$$= x C_{B.L} + m x C_{I.G.B.L} \leq C_{B.max}$$

を満たすことが必要である。この式から、サブセルアレイのグループ数即ち中間ビット線対の数 m の最大値も決定される。

また、上ビット線対 $G B L$ 、 $\overline{G B L}$ と中間ビット線対 $I G B L$ 、 $\overline{I G B L}$ にも異なる配線層を用いる。例えば中間ビット線対 $I G B L$ 、 $\overline{I G B L}$ に第2層 A_2 膜を用いた場合、上位ビット線対 $G B L$ 、 $\overline{G B L}$ に第3層 A_3 膜を用いる。

ビット線対 $B L$ 、 $\overline{B L}$ 、中間ビット線対 $I G B L$ 、 $\overline{I G B L}$ および上位ビット線対 $G B L$ 、 $\overline{G B L}$ は互いに平行にかつ同じ配線ピッチをもって配設される。

第2図は、第1図の構成の要部をより具体化して示したものである。第2図では、 m 個の中間ビット線対 $I G B L$ 、 $\overline{I G B L}$ のうち m 番目の中間ビット線対 $I G B L_m$ 、 $\overline{I G B L_m}$ の部分のみ示している。またこの中間ビット線対 $I G B L$ 、 $\overline{I G B L}$ に沿うサブセルアレイのうち最初のサブ

セルアレイ 1_{n1} と最後のサブセルアレイ 1_{nn} につきそれぞれ、一つずつのメモリセル $M S 1$ 、 $M S 2$ とダミーセル $D M 1$ 、 $D M 2$ を示している。中間ビット線対 $I G B L$ 、 $\overline{I G B L}$ に設けられる $N M O S$ センスアンプ2は、二つの n チャネル $M O S$ トランジスタ Q_{N1} 、 Q_{N2} を用いて構成されたよく知られたフリップフロップである。メインセンスアンプである $P M O S$ センスアンプ3は、これも二つの p チャネル $M O S$ トランジスタ Q_{P1} 、 Q_{P2} を用いた構成されたよく知られたフリップフロップである。第2図では、第1図には示していないビット線イコライザ5 (5_{n1} 、 \dots 、 5_{nn}) が各ビット線対 $B L$ 、 $\overline{B L}$ に設けられている様子を示している。

次にこの実施例の $D R A M$ の動作を説明する。

第3図は、読み出しサイクルの動作タイミング図である。なお、プリチャージ時、選択信号線 $S 11$ 、 $S 12$ 、 \dots 、 S_{nn} は“H”レベルであり、全てのビット線対 $B L$ 、 $\overline{B L}$ と中間ビット線対 $I G B L$ 、 $\overline{I G B L}$ はこれらの間の n チャネル

$M O S$ トランジスタ $Q_{11} \sim Q_{1n}$ がオンであって、同電位例えば $(1/2) V_{cc}$ に設定されている。ロウ・アドレス・ストロブ信号 $R A S$ が“H”レベルから“L”レベルに落ちてアクティブ状態に入り、例えばサブセルアレイ 1_{11} が選択されるとすると、このサブセルアレイ 1_{11} を中間ビット線対 $I G B L 1$ 、 $\overline{I G B L 1}$ に接続する選択信号線 $S 11$ のみが“H”レベル状態を保ち、他の選択信号線 $S 12 \sim S 1n$ は“L”レベルになる。次に選択されたワード線 $W L$ が“H”レベルになり、これによりサブセルアレイ 1_{11} 内の選択されたメモリセル・データがビット線 $B L 1$ を通して中間ビット線 $I G B L 1$ に転送され、同時にダミーセル・データがビット線 $\overline{B L}$ を通して中間ビット線 $\overline{I G B L 1}$ に転送される。中間ビット線対 $I G B L$ 、 $\overline{I G B L}$ に転送されたデータは $N M O S$ センスアンプ21により増幅される。ここで中間ビット線対には $P M O S$ センスアンプが設けられていないため、ビット線の充電が行われることはない。しかし、ビット線容量と中間ビット線容量

の和を前述のように $N M O S$ センスアンプで増幅できる限界値以下に抑えてあるため、ビット線対 $B L 1$ 、 $\overline{B L 1}$ の間あるいは中間ビット線対 $I G B L 1$ 、 $\overline{I G B L 1}$ の間で十分電位差を付けることができる。その後、選択信号線 $S S 11$ のみが“L”レベルに落ち、中間ビット線対 $I G B L 1$ 、 $\overline{I G B L 1}$ と上位ビット線対 $G B L$ 、 $\overline{G B L}$ 間の p チャネル $M O S$ トランジスタ $Q 21$ 、 $Q 22$ がオンとなり、中間ビット線対 $I G B L 1$ 、 $\overline{I G B L 1}$ のデータは上位ビット線対 $G B L$ 、 $\overline{G B L}$ に転送される。上位ビット線対 $G B L$ 、 $\overline{G B L}$ に転送されたデータは $P M O S$ センスアンプ3により増幅され、その後カラム選択信号線 $C S L$ により選ばれて入出力線 I/O 、 $\overline{I/O}$ に転送される。

メモリセルへの“1”データの再書き込みは、メインアンプである $P M O S$ センスアンプ3によって行われ、外部電源電圧あるいは $D R A M$ チップ内部で作られた電源電圧が書込まれる。“0”データの書き込みは、 m 個のサブセルアレイ毎に設けられた $N M O S$ センスアンプ2により行われ、

特開平2-143982 (6)

接地電位が害込まれる。

こうしてこの実施例によれば、各サブセルアレイ毎にPMOSセンスアンプを設けることなく、PMOSセンスアンプは上位ビット線対GBL、 \overline{GBL} に設けた一個で共用している。従ってコア回路全体として、センスアンプの占める面積比率が小さいものとなる。また一つのグループに含まれるサブセルアレイの数 n を大きくとれば、NMOSセンスアンプの数も従来より少なくすることができる。以上によりこの実施例によれば、高密度DRAMでのチップ面積の有効利用が図られる。

具体的な数値を挙げて説明する。例えば従来のビット線多重化方式でサブセルアレイの数を $n = 32$ とし、上記実施例でサブセルアレイの数を $N = 64$ 、サブセルアレイのグループ数を $m = 8$ とする。そうすると、PMOSセンスアンプ数は従来方式で32であり、実施例の方式で1である。NMOSセンスアンプ数は従来方式で32であり、実施例の方式では $N/m = 8$ である。これらの数

値から大雑把に見積もって、従来方式に比べて実施例の方式ではチップサイズを10～20%小型化することができる。

なおこの実施例では、NMOSセンスアンプとPMOSセンスアンプのうちPMOSセンスアンプを共用させており、これもDRAMチップの高密度化に一定の意味がある。 n チャネルMOSトランジスタのソース、ドレイン拡散層は通常ヒ素(As)のイオン注入により形成され、 p チャネルMOSトランジスタのソース、ドレインは通常ボロン(B)のイオン注入により形成されるが、ボロンのシリコン結晶中での拡散速度がヒ素のそれに比べて大きく、特にサブミクロン・ルールで素子を作る場合、 p チャネルMOSトランジスタの小型化が n チャネルMOSトランジスタに比べて難しいからである。しかし実施例と逆に、中間ビット線対IGBL、 \overline{IGBL} にPMOSセンスアンプのみを設け、メインセンスアンプとしてNMOSセンスアンプを用いる構成としても、十分な効果が得られる。

第1図の実施例では、中間ビット線対IGBL、 \overline{IGBL} と上位ビット線対GBL、 \overline{GBL} の間のトランスファゲートとして p チャネルMOSトランジスタを用いたが、耐圧、信頼性が十分確保できる場合はここに n チャネルMOSトランジスタを用いることができる。

第4図は、そのような実施例のDRAMコア回路の要部構成を、第1図の一つ中間ビット線対IGBL、 \overline{IGBL} の部分について示した。中間ビット線対IGBL、 \overline{IGBL} と上位ビット線対GBL、 \overline{GBL} の間を n チャネルMOSトランジスタ Q_{41} 、 Q_{42} により接続している。この場合これらのMOSトランジスタ Q_{41} 、 Q_{42} のゲートには、先の実施例と逆極性であって最大電圧が電源電圧以上の昇圧電位である選択信号 \overline{SS} が入る。メモリセルへの“H”レベルの再書き込み電位がしきい値電圧分降下するのを防止するためである。

実施例では、メインセンスアンプとしてPMOSセンスアンプのみを用いたが、ここは第5図に示すようにPMOSセンスアンプとNMOSセン

スアンプを組合わせて用いてもよい。このようにしても、チップ面積には大きい影響はない。そしてこのようにPMOSセンスアンプとNMOSセンスアンプを設けることにより、PMOSセンスアンプのみの場合に比べて高速の動作を実現することができる。

また第2図では、ビット線イコライザを各ビット線毎に設けた例を示しているが、これは中間ビット線対IGBL、 \overline{IGBL} 毎に一個ずつ設けて、各中間ビット線対IGBL、 \overline{IGBL} 内の複数のビット線対BL、 \overline{BL} で共用することができる。このようにすれば、一層のチップサイズ縮小が図られる。

第6図は、本発明の他の実施例のDRAMコア回路の1カラム分を第1図に対応させて示す。この実施例では第1図と異なり、中間ビット線対は用いていない。 n 個に分割されたサブセルアレイ1(11～1n)に対して、第1ビット線センスアンプであるNMOSセンスアンプ2(21～2k)は、互いに隣接するサブセルアレイで共用

特開平2-143982(7)

するようにレイアウトされている。即ちサブセルアレイ11に配設されたビット線対BL1, $\overline{BL1}$ はnチャネルMOSトランジスタ Q_{s1} , Q_{s2} を介してNMOSセンスアンプ21に接続され、隣のサブセルアレイ12に配設されたビット線対BL2, $\overline{BL2}$ はnチャネルMOSトランジスタ Q_{s3} , Q_{s4} を介して同じNMOSセンスアンプ21に接続されている。これらMOSトランジスタ $Q_{s1} \sim Q_{s4}$ のゲートは選択信号 ϕ_{T1} , ϕ_{T2} により制御されて、NMOSセンスアンプ21がビット線対BL1, $\overline{BL1}$ またはBL2, $\overline{BL2}$ に切替え接続されるようになっている。以下のサブセルアレイについても同様である。従ってNMOSセンスアンプ2の数kはサブセルアレイ1の数nの1/2である。これらのnチャネルMOSトランジスタ Q_{s1} , Q_{s2} , ...のうち選択されたもののゲートに印加される選択信号 ϕ_{T1} , ϕ_{T2} , ...の最大電圧は外部電源電圧またはチップ内部で降圧された電源電圧に抑える。カラム方向の全てのサブセルアレイに共通に上位ビット線

対GBL, \overline{GBL} が配設されている。各ビット線対BL, \overline{BL} は、トランスファゲートとしてのpチャネルMOSトランジスタ $Q_{21} \sim Q_{28}$ を介して選択的に上位ビット線対GBL, \overline{GBL} に接続されるようになっている。上位ビット線対GBL, \overline{GBL} に一つのメインアンプ(第2ビット線センスアンプ)として先の実施例と同様にPMOSセンスアンプ3が設けられている。pチャネルMOSトランジスタ Q_{21} , Q_{22} , ...を制御する選択信号 SS_1 , SS_2 , ...は最小電圧を接地電位とする。

上位ビット線対GBL, \overline{GBL} には、ビット線対BL, \overline{BL} およびワード線とは異なる配線層を用いる。例えば、ビット線対にポリサイド膜を用い、ワード線の裏打ちに第1層A₁膜を用いて、上位ビット線対GBL, \overline{GBL} には第2層A₂膜を用いる。

第7図は、この実施例のDRAMの動作を説明するタイミング図である。ここでは、第6図の左端の二つのサブセルアレイ11, 12に着目し、

そのうちサブセルアレイ11内のメモリセルが選択されてデータが読み出される場合の動作波形を示している。まず、ロウ・アドレス・ストロブ信号RASが“L”レベルになってアクティブ状態に入る。次にNMOSセンスアンプを共用する二つのサブセルアレイ11と12のうち、選択されるサブセルアレイ11のビット線対BL1, $\overline{BL1}$ をNMOSセンスアンプ21に接続するMOSトランジスタ Q_{s1} , Q_{s2} のゲート制御信号 ϕ_{T1} は“H”レベルのまま保ち、他方のサブセルアレイ12のビット線対BL2, $\overline{BL2}$ をNMOSセンスアンプ21に接続するMOSトランジスタ Q_{s3} , Q_{s4} のゲート制御信号 ϕ_{T2} が“L”レベルに落とされる。これにより、NMOSセンスアンプ21はビット線対BL2, $\overline{BL2}$ から切離される。次いで選択されたワード線WLが“H”レベルになり、サブセルアレイ11内のメモリセル・データ(例えば“1”データ)がビット線対BL1, $\overline{BL1}$ に読み出され、これがNMOSセンスアンプ21で増幅される。その後、全て“H”

レベルにあった制御信号 SS_1 , SS_2 , ...のうち SS_1 のみが“L”レベルになり、pチャネルMOSトランジスタ Q_{21} , Q_{22} がオンとなって選択されたビット線対BL1, $\overline{BL1}$ のデータが上位ビット線対GBL, \overline{GBL} に転送される。この上位ビット線対GBL, \overline{GBL} のデータは先の実施例と同様にPMOSセンスアンプ3で増幅され、カラム選択信号線CSLにより選択されて入出力線I/O, $\overline{I/O}$ 線に転送される。

“1”データの再書き込みは、メインセンスアンプであるPMOSセンスアンプ3により行われ、外部電源電圧または内部電源電圧が書き込まれる。“0”データ書き込みは、サブセルアレイ対毎に設けられたNMOSセンスアンプ2により行われ、接地電位がメモリセル内に書き込まれる。

この実施例によれば、PMOSセンスアンプは1カラムに1個であり、またNMOSセンスアンプは2個のサブセルアレイで共用されて、サブセルアレイ数の半分となっている。従って従来の多重化ビット線方式と同等の性能を保持しながら、

特開平2-143982 (8)

チップサイズの大幅な小型化が図られる。例えば、メモリアレイの分割数を32～64とすれば、従来方式に比べてチップサイズを10～20%程度小さくすることができる。

この実施例においても、PMOSセンスアンプをサブセルアレイから切離して1個にまとめたことは小型化にとって好ましいことであるが、PMOSセンスアンプとNMOSセンスアンプを逆にしても一定の効果が得られる。また、第8図に示すように、ビット線対BL, \overline{BL} と上位ビット線対GBL, \overline{GBL} 間を接続するトランジスタにnチャネルMOSトランジスタ Q_{41} , Q_{42} , ...を用いることも、耐圧等の点で問題なければ可能である。この場合先の実施例の中でも説明したようにゲートを制御する信号の“H”レベルは電源電圧より高い昇圧電位とする。

第9図は、第6図の構成を変形した実施例である。この実施例ではNMOSセンスアンプ2を二つのサブセルアレイ1で共用せず、各サブセルアレイ毎に独立に設けている。その他は第6図と同

いる。例えば、サブセルアレイ11に属する一つのビット線対BL1, $\overline{BL1}$ には右側のNMOSセンスアンプ2_{1R}とPMOSセンスアンプ3_{1R}が用いられ、もう一つのビット線対BL2, $\overline{BL2}$ には左側のNMOSセンスアンプ2_{1L}とPMOSセンスアンプ3_{1L}が用いられるようになっている。これは、通常の折返しビット線構造のアレイをワード線方向にそって交互に左右反転して変則的な折返しビット線構造としたものといえる。図のビット線とワード線の交点のうち丸印部にメモリセルが配置される。この構成はセンスアンプがビット線4本分のピッチでレイアウトされるため、センスアンプのレイアウトが非常に容易になっている。そして4本即ち2対のビット線に対して1対の上位ビット線GBL, \overline{GBL} が配設されている。この結果、上位ビット線はビット線2本分のピッチで配設されるため、上位ビット線のパターンレイアウトも容易になっている。上位ビット線対GBL, \overline{GBL} にはメインアンプ4が設けられる。第16図はこの多重化ビット線方

様である。この実施例によっても、サブセルアレイ数が大きい場合にはチップサイズの小型化の効果が十分得られる。

第6図あるいは第9図の実施例において、サブセルアレイに設ける第1ビット線センスアンプをPMOSセンスアンプのみとし、上位ビット線対に設ける第2ビット線センスアンプをNMOSセンスアンプとすることも可能であり、これによってもセンスアンプ数の減少によりチップサイズ減少の効果が得られる。またこれらの実施例においても第2ビット線センスアンプについては、第5図に示したようにPMOSセンスアンプとNMOSセンスアンプを組合わせたものとするのが高速動作のためには有効である。

ところで従来の多重化ビット線構造のコア回路構成例として、第15図に示されるものがある。メモリアレイはn個のサブセルアレイ11～1nに分割され、各サブセルアレイ1の両側にNMOSセンスアンプとPMOSセンスアンプを組合わせたビット線センスアンプが設けられて

式DRAMでの動作タイミング図である。

この形式のDRAMに本発明を単純に適用しようとした場合、次のような問題が生じる。各サブセルアレイに設けられたセンスアンプのうちPMOSセンスアンプを取出してこれを上位ビット線対GBL, \overline{GBL} 側にまとめたとする。そうすると、データ再書き込み時、“1”データの書き込みができないことになる。つまり第15図の構成においては、例えばサブセルアレイ11中の一方のビット線対BL1, $\overline{BL1}$ に“1”データが読み出され、他方のビット線対BL2, $\overline{BL2}$ にも同時に“1”データが読み出され、そのいずれかが上位ビット線GBL, \overline{GBL} を介して取り出された場合、これら二つのビット線対BL1, $\overline{BL1}$, BL2, $\overline{BL2}$ のメモリセルへの再書き込みはそれぞれのビット線センスアンプのPMOSセンスアンプ3_{1R}, 3_{1L}により行うことができる。ところがPMOSセンスアンプが上位ビット線対GBL, \overline{GBL} にまとめられてサブセルア

特開平2-143982(9)

レイ部にはない場合には、上位ビット線対 $\overline{GBL1}$ 、 $\overline{GBL1}$ のメインセンスアンプ中の PMOS センスアンプで "1" データの再書き込みを行わなければならない。このとき、選択された一方のビット線対例えば $BL1$ 、 $\overline{BL1}$ のメモリセルには再書き込みできるが、もう一方のビット線対 $BL2$ 、 $\overline{BL2}$ には "1" データの再書き込みができないことになる。そこで、センスアンプのレイアウトおよび上位ビット線ピッチに余裕を持たせる第15図の方式の利点を生かして本発明を適用するには、工夫が必要である。

第10図はその様な点を考慮をした実施例の DRAM のコア回路につき2カラム分の構成を示したものである。メモリアレイは第15図と同様に n 個のサブセルアレイ 11 ($i=1 \sim n$) に分割され、かつサブセルアレイ 11 は変則的な折返しビット線構造をなしている。但し、サブセルアレイ 11 の左右に設けられる第1ビット線センスアンプは、NMOS センスアンプ $21L$ 、 $21R$

のみである。サブセルアレイ 11 に配設された第1のカラムのビット線対 $BL11$ 、 $\overline{BL11}$ が右側の NMOS センスアンプ $11R$ に、これに隣接する第2のカラムビット線対 $BL21$ 、 $\overline{BL21}$ が左側の NMOS センスアンプ $21L$ にそれぞれ接続されている。

上位ビット線対 $\overline{GBL1}$ 、 $\overline{GBL1}$ 、 $GBL2$ 、 $\overline{GBL2}$ は、"1" データの再書き込みができるように各カラム毎に、即ちビット線対のピッチと同じピッチでビット線対と平行に配設される。但し、全ての上位ビット線を同一配線層で構成することはデザイン・ルールが厳しいものとなるのでこの実施例では、隣接する上位ビット線対を互いに異なる配線層としている。即ち図に示す、一点鎖線で表わした第1カラムの上位ビット線対 $\overline{GBL1}$ 、 $\overline{GBL1}$ と、実線で表わした第2カラムの上位ビット線対 $GBL2$ 、 $\overline{GBL2}$ とは異なる層の配線により、かつ半ピッチずれた状態で配設している。例えば、ビット線対 BL 、 \overline{BL} をポリサイド膜により形成し、ワード線の裏打ちを第1層 $A1$ 膜

により形成した場合に、第1のカラムの上位ビット線対 $\overline{GBL1}$ 、 $\overline{GBL1}$ は第2層 $A2$ 膜により、第2のカラムの上位ビット線対 $GBL2$ 、 $\overline{GBL2}$ は第3層 $A3$ 膜によりそれぞれ形成する。

第1のカラムの複数のビット線対 $BL11$ 、 $\overline{BL11}$ は、それぞれ p チャネル MOS トランジスタ $Q1R$ 、 \dots 、 $Q4R$ を介して上位ビット線対 $\overline{GBL1}$ 、 $\overline{GBL1}$ に接続され、第2のカラムの複数のビット線対 $BL21$ 、 $\overline{BL21}$ は、それぞれ p チャネル MOS トランジスタ $Q1L$ 、 \dots 、 $Q4L$ を介して上位ビット線対 $GBL2$ 、 $\overline{GBL2}$ に接続されている。各上位ビット線対にはそれぞれメインアンプとして PMOS センスアンプ 31 、 32 が設けられている。また各上位ビット線対 $\overline{GBL1}$ 、 $\overline{GBL1}$ 、 $GBL2$ 、 $\overline{GBL2}$ は、それぞれカラム選択信号線 $CSL1$ 、 $CSL2$ により制御される n チャネル MOS トランジスタ $Q51$ 、 $Q51$ 、 $Q61$ 、 $Q61$ を介して入出力線 I/O 、 $\overline{I/O}$ に選択的に接続されるようになっている。

第11図は、この実施例の DRAM コア回路の

読み出しサイクルでの動作タイミング図である。

ロウ・アドレス・ストローブ信号 RAS が "L" レベルになってアクティブ状態に入り、選択されたワード線 WL が "H" レベルになってそのワード線に沿うメモリセルのデータがビット線対に出力される。ここでは、サブセルアレイ 11 のなかのメモリセルが選択された場合を示しており、ビット線対 $BL11$ 、 $\overline{BL11}$ のデータは右側の NMOS センスアンプ $21R$ により、ビット線対 $BL21$ 、 $\overline{BL21}$ のデータは左側の NMOS センスアンプ $21L$ によりそれぞれ増幅される。このとき PMOS センスアンプがないから、ビット線対が充電されることはないが、一定の電位差をつけることはできる。次に p チャネル MOS トランジスタ $Q1R$ 、 $Q2R$ 、 $Q1L$ 、 $Q2L$ のゲート制御信号 $S1R$ 、 $S1L$ が選択されて "L" レベルに落ち、選択されたサブセルアレイ 11 の各ビット線対 $BL11$ 、 $\overline{BL11}$ 、 $BL21$ 、 $\overline{BL21}$ のデータが上位ビット線対 $\overline{GBL1}$ 、 $\overline{GBL1}$ 、 $GBL2$ 、 $\overline{GBL2}$ に転送される。そしてそれぞれのデータ

特開平2-143982 (10)

はPMOSセンスアンプ31, 32により増幅され、そのうちカラム選択信号線CSLで選ばれたデータが入出力線I/O, $\overline{I/O}$ 線に転送される。

メモリセルへの“1”データ再書き込みは、メインセンスアンプであるPMOSセンスアンプ3により行われる。このとき外部に読み出された“1”データが第1のカラムのデータであった場合、これは第1のカラムのPMOSセンスアンプ31により上位ビット線対GBL1, $\overline{GBL1}$ を介して例えば電源電圧が書き込まれ、外部には読み出されない第2のカラムの“1”データも同様にそのカラムのPMOSセンスアンプ32によって再書き込みがなされる。即ち第15図と異なり、各カラム毎に上位ビット線対とPMOSセンスアンプがあるから、サブセルアレイにPMOSセンスアンプがなくても、“1”データの再書き込みに問題はない。

この実施例によっても、先の各実施例と同様サブセルアレイの第1ビット線センスアンプをNMOSセンスアンプのみとすることにより、高

接する異なる層の配線を対として上位ビット線として用いていることである。そして第2に、上位ビット線対を構成する、隣接する異なる層の配線を途中で交差させていることである。即ち第12図において、サブセルアレイ1₁, NMOSセンスアンプ2_{1R}上ではGBL1, GBL2には第2層A₂, $\overline{GBL1}$, $\overline{GBL2}$ には第3層A₃を使用するのに対し、サブセルアレイ1_n, NMOSセンスアンプ2_{nL}上では逆にGBL1, GBL2には第3層A₃, $\overline{GBL1}$, $\overline{GBL2}$ には第2層A₂を使用している。これは、異なる層の配線で対を構成する場合にはそれらの容量に無視できない大きさのアンバランスが生じる可能性があり、このアンバランスを解消するためである。

この実施例によっても、先の実施例と同様の効果が得られる。

第10図および第12図の実施例において、第1ビット線センスアンプをPMOSセンスアンプのみとし、第2ビット線センスアンプをNMOSセンスアンプとすること、また第2ビット線セ

ンスアンプについてPMOSセンスアンプとNMOSセンスアンプの組合わせを用いること、等の変形が可能である。

密度DRAMでのセンスアンプの占有面積を小さくすることができる。またこの実施例の場合、変則折返しビット線構造を採用しているから、第15図の例と同様にビット線ピッチが微細なものとなってもサブセルアレイの第1ビット線センスアンプのレイアウトは比較的容易に行うことができる。そしてPMOSセンスアンプをサブセルアレイの外に持ってきたことに対応して、各カラム毎に上位ビット線対とPMOSセンスアンプを配設することにより、“1”データの再書き込みの問題も解決している。更にこの様にカラム毎に上位ビット線対を配設するに当たって隣接する配線に異なる層を用いることにより、同一層の配線についてはビット線2本分のピッチとすることができる、この結果これら上位ビット線対のレイアウトも容易になっている。

第12図は、第10図の実施例を変形した実施例のコア回路構成を示す。第10図と異なる点は、第1に、配線層を一つおきに対をなす上位ビット線として用いているのに対し、この実施例では隣

[発明の効果]

以上詳細に説明したように本発明によれば、多重化ビット線構造のDRAMにおいて、サブセルアレイにはNMOSセンスアンプまたはPMOSセンスアンプのいずれか一方のみを用い、他方は上位ビット線にまとめて設けて複数のサブセルアレイで共用させることにより、全体としてセンスアンプ数を減らし、高密度DRAMのチップサイズを効果的に小さくすることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例のDRAMのコア回路構成を示す図、第2図はその要部の具体的構成例を示す図、第3図はその動作を説明するためのタイミング図、第4図は上記実施例のトランスファゲート部の変形例を示す図、第5図は同じくメインセンスアンプ部の変形例を示す図、第6図は本発明の他の実施例のDRAMのコア回路構成を

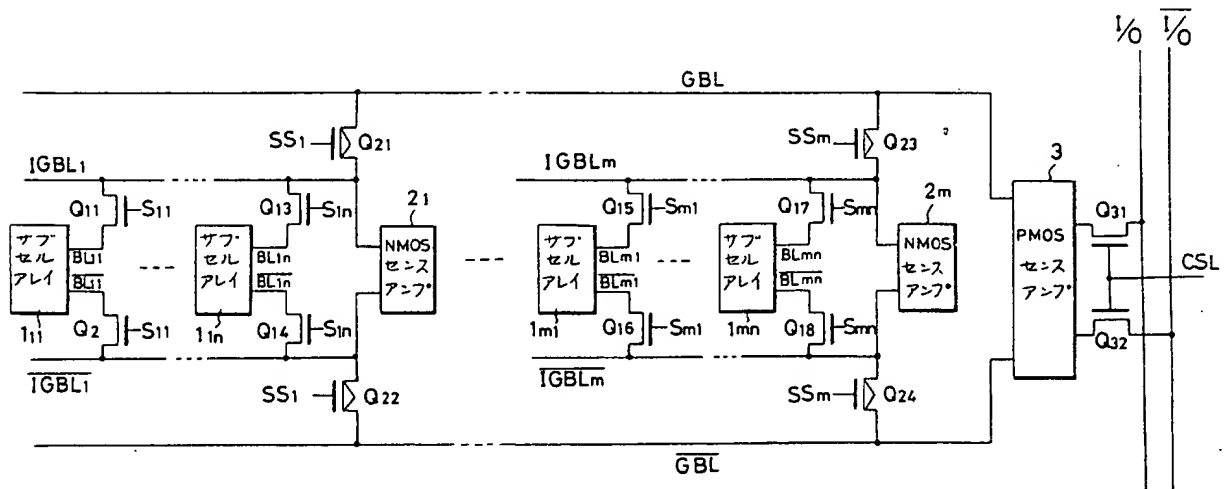
特開平2-143982 (11)

示す図、第7図はその動作を説明するためのタイミング図、第8図はその変形例を示す図、第9図は本発明の他の実施例のDRAMのコア回路構成を示す図、第10図は更に他の実施例のDRAMのコア回路構成を示す図、第11図はその動作を説明するためのタイミング図、第12図は第10図の変形例を示す図、第13図は従来の多重化ビット線構造のDRAMコア回路構成を示す図、第14図はその動作を説明するためのタイミング図、第15図は他の従来例のコア回路構成を示す図、第16図はその動作を説明するためのタイミング図である。

1…サブセルアレイ、2…NMOSセンスアンプ、3…PMOSセンスアンプ、BL、 \overline{BL} …ビット線、IGBL、 \overline{IGBL} …中間ビット線、GBL、 \overline{GBL} …上位ビット線、I/O、 $\overline{I/O}$ …入出力線、Q11～Q18…nチャネルMOSトランジスタ、Q21～Q28…pチャネルMOSトランジスタ、Q31、Q32…nチャネルMOSトランジスタ、Q1R、Q1L、…、Q4R、Q4L…

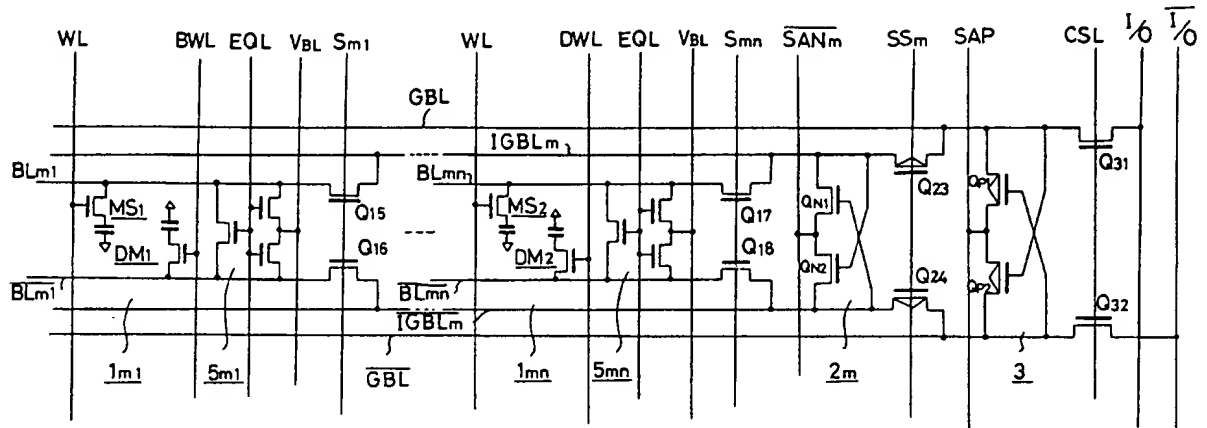
pチャネルMOSトランジスタ、Q51、Q52、Q61、Q62…nチャネルMOSトランジスタ、CSL…カラム選択信号線。

出願人代理人 弁理士 鈴江武彦

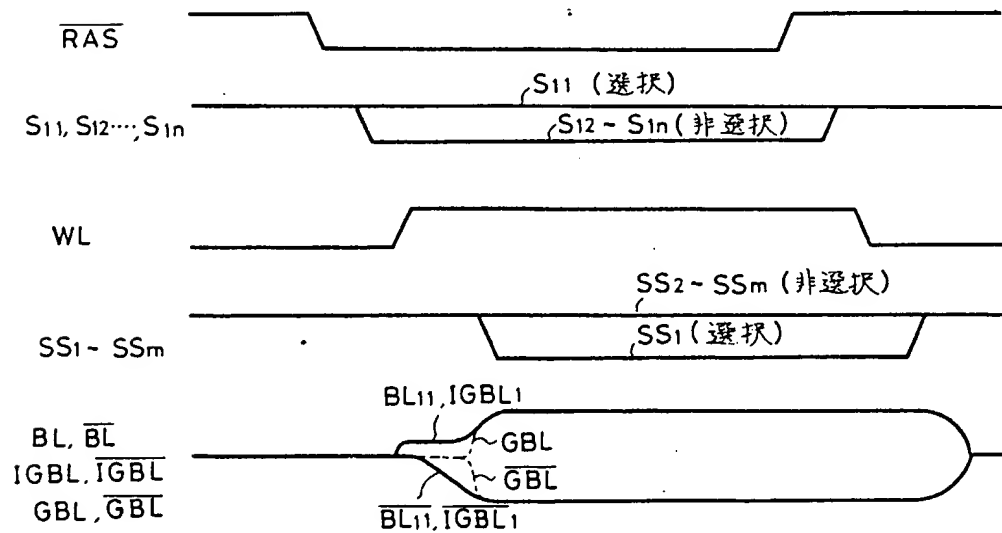


第 1 図

特開平2-143982 (12)

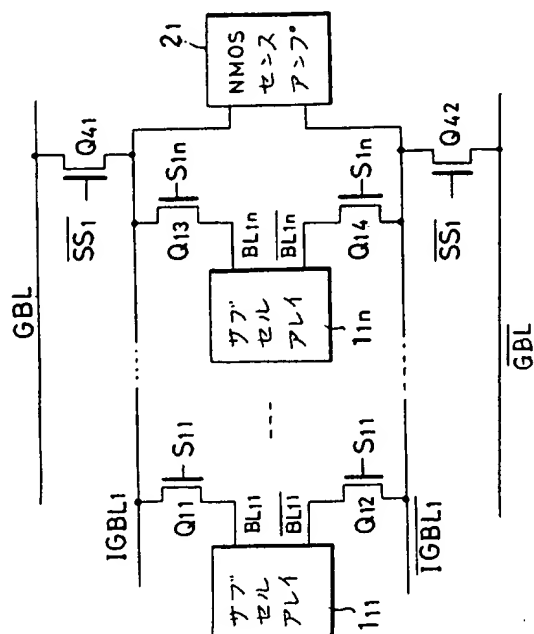


第 2 図

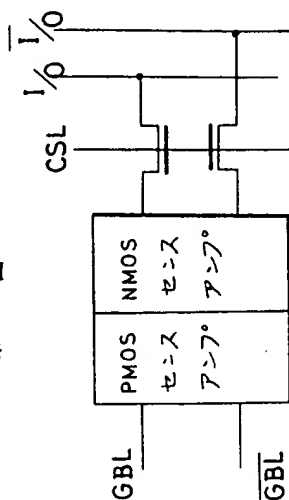


第 3 図

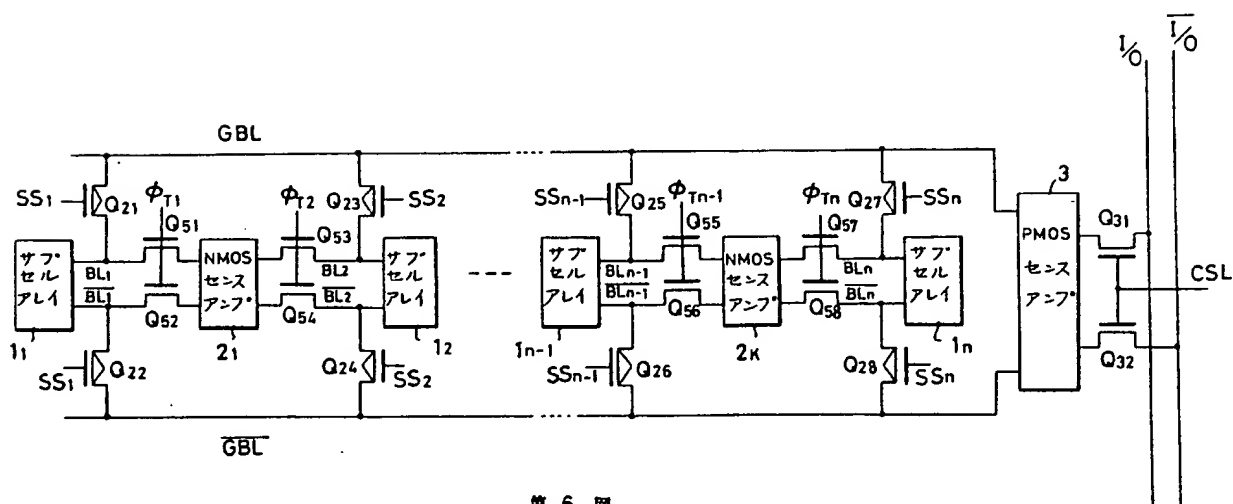
特開平2-143982 (13)



第 4 図

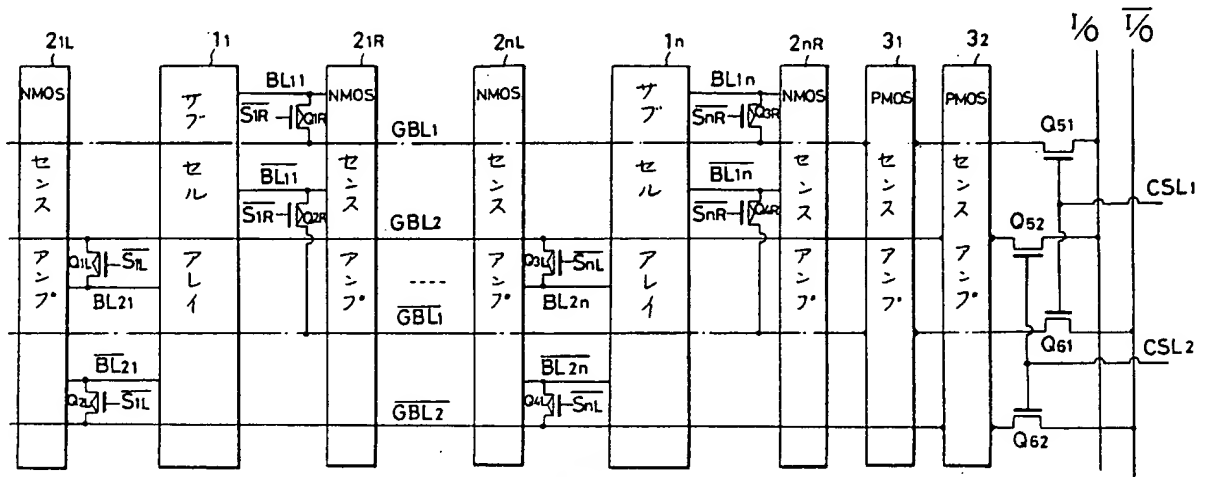


第 5 図

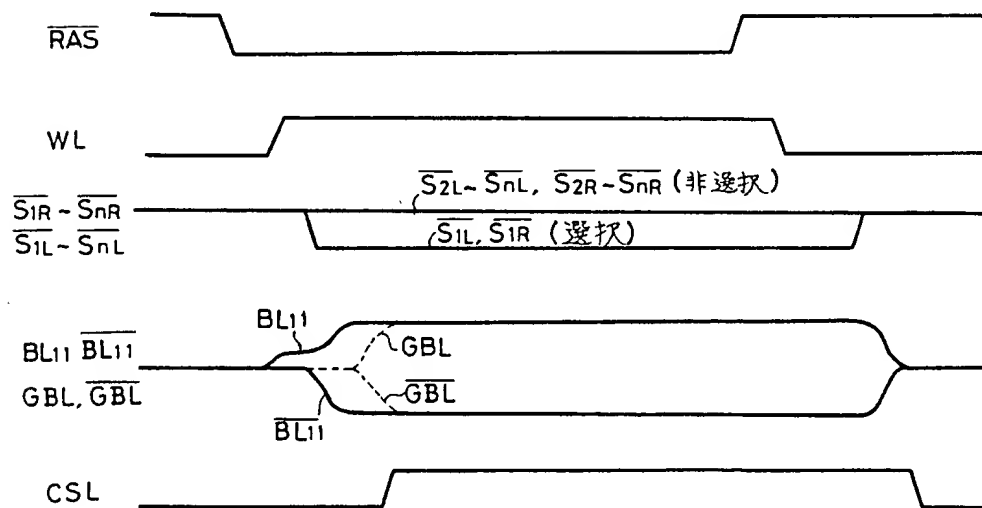


第 6 図

特開平2-143982(15)

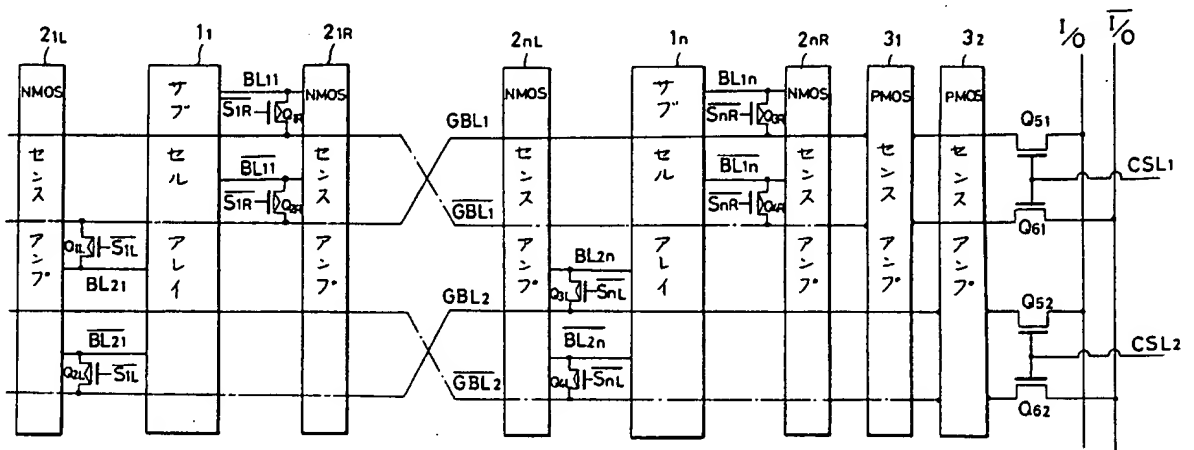


第 10 図

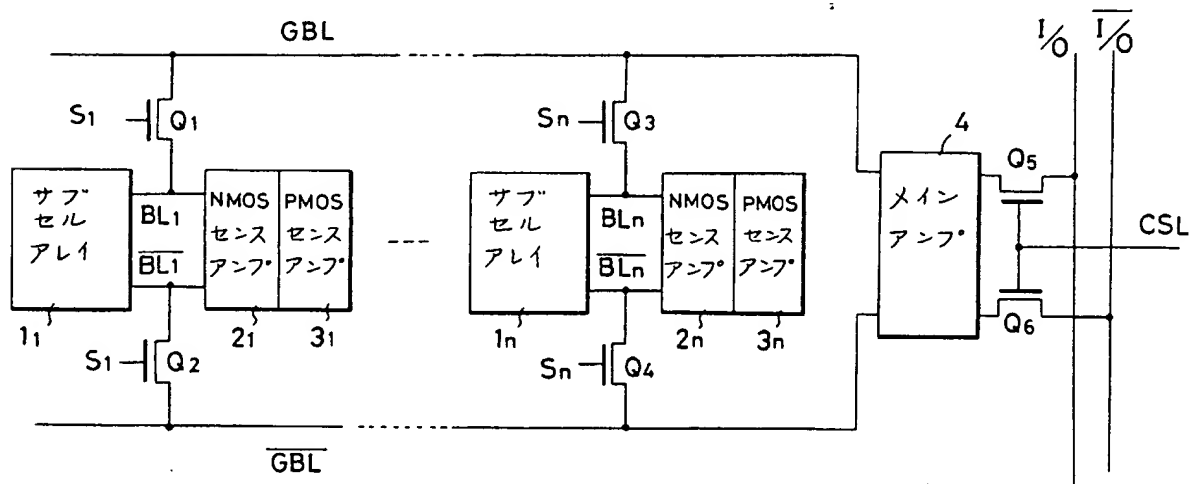


第 11 図

特開平2-143982 (16)

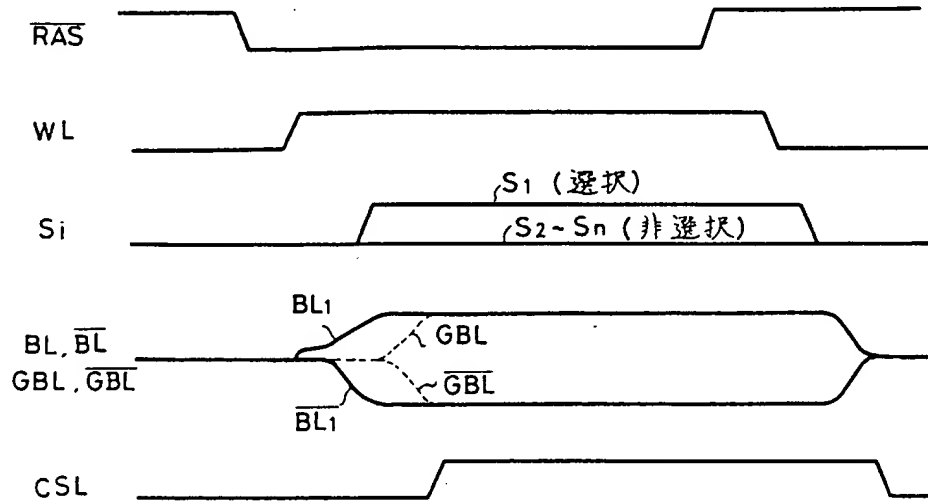


第 12 図

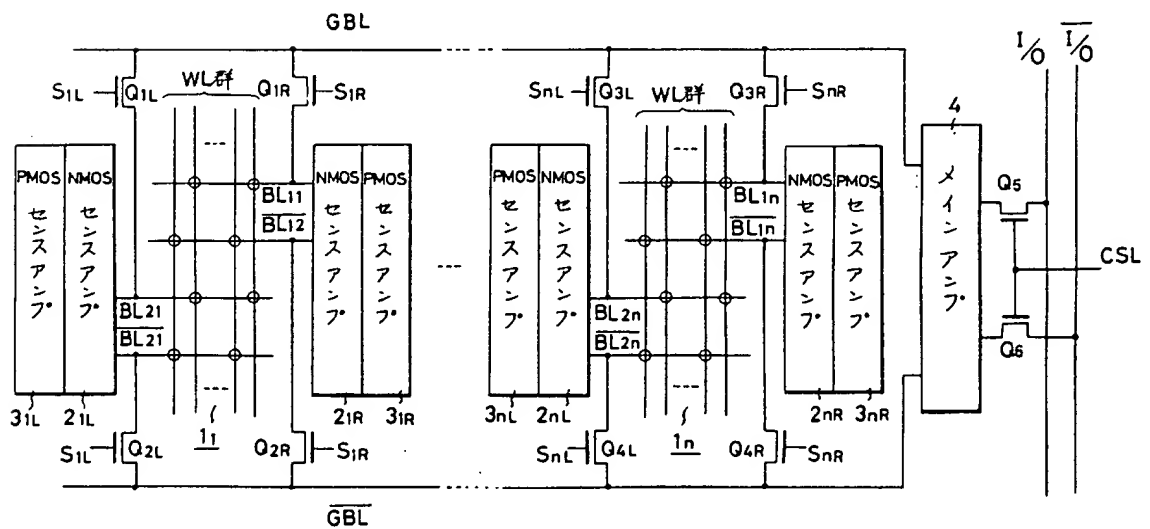


第 13 図

特開平2-143982 (17)

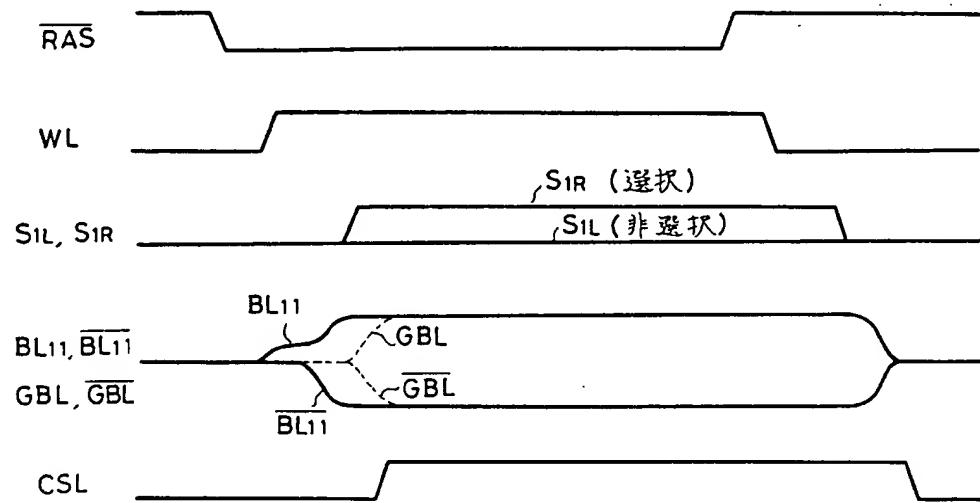


第 14 図



第 15 図

特開平2-143982 (18)



第 16 図